

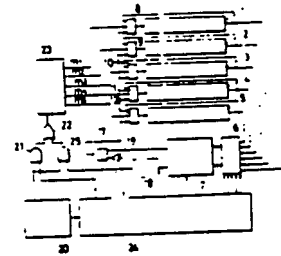
JA 0008738
JAN 1977

(54) **MEMORY ERASING SYSTEM**

- (11) Kokai No. 52-8738 (43) 1.22.1977 (21) Appl. No. 50-84090
(22) 7.9.1975
(71) KASHIO KEISANKI K.K. (72) TADASHI TAKASU
(52) JPC: 97(7)E1:97(7)C01:97(7)G1:97(7)H92
(51) Int. Cl²: G06F7 00,13 00,11 00,15 02.G11C29 00

PURPOSE: In order to erase the memory information of Memory register being correspondent with its detecting output, through automatically discriminating the overflow information inside the plural numbers of memory register.

CONSTITUTION: The output from Memory Code Holder 20 is input into Memory Register Selective Circuit 23 through AND Circuit 21 and OR Circuit 22. From Circuit 23. Selective Circuit m1, m2, . . . m5 against each memory register are feeded to recirculate Circuit 8, 9, . . . 12. Then, to the gate of Circuit 21, the ordinary instruction from Control Circuit 24 is transferred, and this order can make the key-lock state against the memory register. And, the output from Overflow Discriminating Circuit 18 is output after the detection of carrier signal for the one word interval. And, Selective Specification Circuit 25 receives the output from Holder 20 as a gate input. Then, Control Circuit 24 originates the adjusting control instruction against Add-Circuit 7, and against Gate Circuit 6, it does give the gate selection instruction which selects a specified gate.



1, 2, 3, 4, 5. Memory register 7. Add circuit 20. Memory code holder 23. Memory selection circuit 24. Control circuit

5を並列に配置し、夫々の出力端は、ゲート回路6を介して加算回路7に接続される。又前記夫々の記憶レジスタ1, 2, 3, 4, 及び5は出力端を対応するリサキュレート回路8, 9, 10, 11及び12を夫々介して入力端に接続され、外部循環回路を形成する。これら記憶レジスタ1, 2, 3, 4, 及び5は夫々1ワード単位の記憶容量を有している。前記リサキュレート回路8, 9, 10, 11及び12の具体的な回路構成は第2図に示す通りである。即ち、後述する演算回路からの演算入力情報と、記憶レジスタの選択指定入力情報とを夫々のゲート入力とするアンド回路13と、前記選択指定入力情報を入力とするインバータ14と、前記インバータ14の出力と前記各記憶レジスタの外部循環回路の情報入力とをゲート入力とするアンド回路15と、前記アンド回路13及び15の夫々の出力をゲート入力とし、その出力を前記記憶レジスタの夫々に対する情報入力とするオア回路16とより構成される。前記加算回路

3

リサキュレート回路8, 9, ..., 12の各アンド回路13の他方のゲートに供給される。

前記アンド回路21の他方のゲートには通常状態において、例えばROM (Read Only Memory) 等で構成される制御回路24からの通常ルーチン命令が供給される。この通常ルーチン命令は前記オーバーフロー判定回路18から検出された検出出力を前記制御回路24の所定の端子にエラー処理ルーチンスタート命令が入力することで中止され、前記記憶レジスタに対して、キロック状態とすることができる。又前記オーバーフロー判定回路18からの検出出力はアンド回路23のゲート入力とされる。この判定回路18からの出力はキャリー信号が検出された後1ワード間出力するものである。このアンド回路23は、前記記憶コード保持部20からの出力を他方のゲート入力とし、その出力を前記オア回路22の他方のゲート入力として供給する。前記制御回路24は、演算プログラムに従って前記加算回路7に対して加減算制御指

5

7からの演算情報出力は、アンド回路17を介して前記夫々の記憶レジスタに対応するリサキュレート回路8, 9, 10, 11及び12の前記アンド回路13に演算情報入力として供給される。前記加算回路7から得られたキャリー信号はオーバーフロー情報として例えばフリップフロップ回路で構成されるオーバーフロー判定回路18で判定され、その検出出力は、インバータ19を介して前記アンド回路17の他のゲート入力とされる。

前記複数個の記憶レジスタのうち任意の記憶レジスタへの情報入力の入力制御を行うための選択指定のため図示されてないが記憶レジスタ指定キー部を含む記憶コード保持部20が設けられ、この記憶コード保持部20からの出力は、アンド回路21及びオア回路22を順に介して、例えばデコードを含む記憶レジスタ選択回路23に入力される。前記選択回路23からは前記各記憶レジスタの個数に対応する出力 m_1, m_2, \dots, m_n までの選択指定出力が、前記各リサ

4

令を発し、又前記ゲート回路6に対し、所定のゲートを選択するゲート選択指令を与える。

次に上記の如く構成されたこの発明の作用について言及する。説明の便宜上、 $a + b = c$ の演算を行うものとし、前記第1の記憶レジスタ1に対し数値情報 a を、第2の記憶レジスタ2に対して、数値情報 b を入力して記憶させ、第3の記憶レジスタ3に対して演算結果情報 c を入力して記憶させるものとする。先ず数値情報 a は、前記ゲート回路6の所定のゲートを前記制御回路24からのゲート選択指令によつて開き、前記加算回路7及び前記アンド回路17を順に介し更に、前記リサキュレート回路8の前記アンド回路13の一方のゲートに入力される。このとき、前記記憶コード保持部20に含まれる第1の記憶レジスタ1を指定するキーを操作することにより、前記制御回路24から通常ルーチン命令を発生させ、前記アンド回路21のゲートを開き、前記オア回路22を介して、前記記憶レジスタ選択回路23に入力し、前記記

憶レジスタ指定キーに対応する出力 m_1 を前記リサキュレート回路8の前記アンド回路13の他方のゲートに供給する。従つて前述した入力情報 b は、記憶レジスタ1を指定する出力 m_1 によつて前記アンド回路13及びオア回路16を介して前記記憶レジスタ1内に入力され記憶され1ワード分に相当するパルス巾だけ前記出力 m_1 が供給された後、途絶えたと前記インバータ14を導通状態とし外部循環回路を通じて循環保持される。同様にして前記第2の記憶レジスタ2に対しては数値情報 b が入力され記憶される。これら被演算数と演算数とは前記制御回路24を介して、外部から入力されるフアンクション指令に基づいて前記加算回路7で、加算が行なわれ、その演算結果は、前記アンド回路17及び前記リサキュレート回路10を介して記憶レジスタ3に記憶される。しかるに、前記加算回路7で演算された演算結果が前記第3の記憶レジスタ3の記憶容量を超えてオーバーフローした場合には、前記演算結果からキャリ-

7

ことになる。この寄情報が入力されることでオーバーフロー状態となるべき第3の記憶レジスタ3はクリアされ、又前記選択指定出力 m_3 が前記インバータ14に入力されることで前記外部循環回路の循環動作も停止される。この状態で、前記制御回路24に対してキーロックの解除指令を与えることで再び通常ルーチン命令を前記アンド回路21に発することで、再度演算可能状態とすることができる。

なお、上記実施例では複数の記憶レジスタを並列配置したが、これに限らず例えば、直列配置し、記憶レジスタ指定入力および入力情報を対応するタイミングで入力する事も可能であり、その他本発明の要旨を逸脱しない範囲で種々変形応用が可能である。

以上述べたように、本発明によれば、複数の記憶レジスタのうちのオーバーフロー情報を自動的に判定し、その検出力で、計算機をキーロック状態とし、該当する記憶レジスタの記憶情報を消去し得るので、キーロックの解除、

信号を前記オーバーフロー判定回路18で検出することでオーバーフロー状態にあることを判定し、その検出力をエラー信号として前記制御回路24に供給し、前記通常ルーチン命令を前記アンド回路21に供給することを中止させ更に、前記ゲート回路6のゲートを閉じ前記循環回路¹⁰に入力される全ての数値情報の入力を禁止してあたかも、計算機をキーロックした状態とする。このとき前記オーバーフロー判定回路18からの検出力は同時に前記アンド回路25に供給され、依然として前記記憶コード保持部20からの第3の記憶レジスタ3への選択指定出力 m_3 を前記アンド回路25及び前記オア回路22を介して、前記記憶レジスタ選択回路23から供給し続けている。しかしながら、前記オーバーフロー判定回路18から検出力が得られることで、前記インバータ19からの出力は阻止され、前記アンド回路17からの出力情報は零情報として、前記リサキュレート回路10のアンド回路13のゲートに供給される

8

即ち一回のキー操作のみで新たな演算を実行することが出来、操作が簡単になると共に、誤まつた数値情報に働きかけることが無くなる為に、誤操作も無くなる等種々の利点を有する。

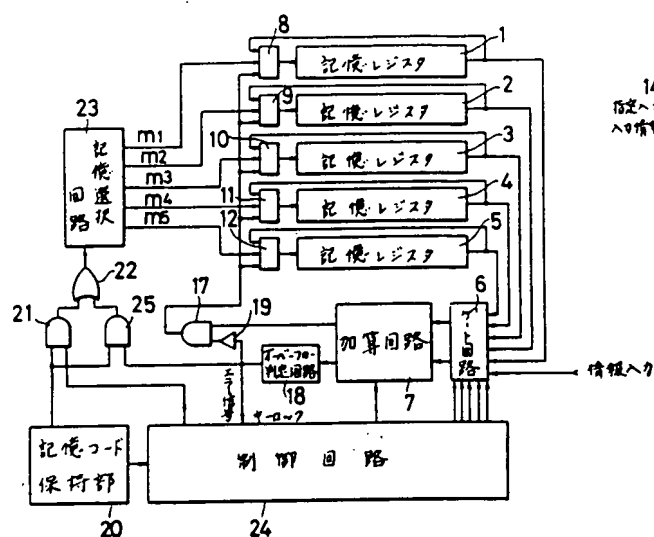
4.図面の簡単な説明

第1図は、この発明の一実施例であるブロック回路図、第2図は第1図におけるリサキュレート回路における回路構成図である。

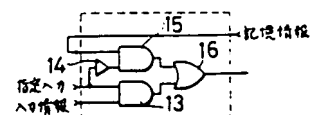
1, 2, 3, 4, 5...記憶手段、6, 7, 24...演算手段、20, 21, 22, 23, 24, 25...記憶手段の選択指定手段、18...オーバーフロー判定手段、19, 17...記憶消去手段。

出願人代理人 弁理士 錦 江 武 彦

第 1 図



第 2 圖



5. 添付書類の目録

- | | | | | | |
|-----|---|---|---|---|---|
| (1) | 委 | 作 | 状 | 1 | 通 |
| (2) | 明 | 細 | 書 | 1 | 通 |
| (3) | 國 | | 面 | 1 | 通 |
| (4) | 類 | 也 | 類 | 1 | 通 |

6. 前記以外の発明者、特許出願人または代理人

代理人

住所	東京都港区芝西久保桜川町2番地	第17番ビル	雄三櫻井
氏名	(5743) 弁理士 三木 武雄		印武士
住所	同 所		二痛
氏名	(6694) 弁理士 小宮 幸一		室型
住所	同 所		一印
氏名	(6881) 弁理士 坪井 淳		也坪井
住所	同 所		印井
氏名	(7043) 弁理士 河井 将次		印士